

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-68663

(43) 公開日 平成10年(1998) 3月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 L 5/00	1 0 1		G 0 1 L 5/00	1 0 1 Z
H 0 1 L 29/786			H 0 3 K 17/00	G
H 0 3 K 17/00			H 0 1 L 29/78	6 1 6 T
				6 1 9 B

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21) 出願番号 特願平8-244310

(22) 出願日 平成8年(1996) 8月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6丁目7番35号

(72) 発明者 市川 弘明

東京都品川区北品川 6丁目7番35号 ソニ

ー株式会社内

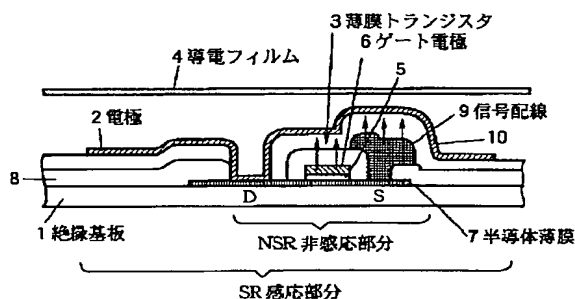
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

【課題】 面圧力分布検出回路等に用いる薄膜半導体装置の電極構造を改善して検出力を高める。

【解決手段】 薄膜半導体装置は絶縁基板 1 を用いて形成されており、その上には互いに接続した電極 2 及び薄膜トランジスタ 3 の組を含む素子領域がマトリクス状に集積配列している。各電極 2 は素子領域毎に直上から印加される信号電圧に感応する一方、各薄膜トランジスタ 3 は順次オン／オフ制御され対応する電極 2 に印加された信号電圧の検出を行なう。電極 2 を形成した感応部分 S R が対応する薄膜トランジスタ 3 及び配線 9 を形成した非感応部分 N S R の上方を被覆するように延設されており、各素子領域内で感応部分 S R の表面が最上方位置になる。



【特許請求の範囲】

【請求項1】 互いに接続した電極及び薄膜トランジスタの組を含む素子領域がマトリクス状に集積配列した絶縁基板を備えており、

各電極は素子領域毎に直上から印加される信号電圧に感応する一方、各薄膜トランジスタは順次オン／オフ制御され対応する電極に印加された信号電圧の検出を行なう薄膜半導体装置であって、

前記電極を形成した感応部分に対応する薄膜トランジスタ及び配線を形成した非感応部分の上方を被覆するように延設されており、各素子領域内で該感応部分の表面が最上方位置になることを特徴とする薄膜半導体装置。

【請求項2】 前記薄膜トランジスタは上から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたトップゲート構造を有することを特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記薄膜トランジスタは下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたボトムゲート構造を有することを特徴とする請求項1記載の薄膜半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は面圧力分布検出回路等に用いられる薄膜半導体装置に関する。より詳しくは、外部の信号電圧を検出する為に設けた電極の構造に関する。

【0002】

【従来の技術】半導体装置を用いた面圧力分布検出回路が知られており、例えば特開平6-288846号公報に開示されている。図7は従来の面圧力分布検出回路の一例である指紋センサを示した模式図である。この指紋センサはシリコンウエハ等からなる基板201の上に半導体製造プロセスにより検出部202を設け、その上に可撓性のフィルム203を乗せたものである。フィルム203は厚みが10μm前後のポリエステル又はポリアミドからなり、その下面には蒸着法等により導電膜が形成されている。この導電膜は接地されている。図7では検出部202としてトランジスタのエミッタ電極のみが示されている。個々のエミッタ電極はシリコン酸化膜204によって互いに隔てられている。指紋検出に当っては、図示するようにフィルム203上に検出対象となる指205を乗せて軽く押し付けると、指紋の山（隆線）が当たった部位で、フィルム203の下面に形成されている導電膜がその下にある検出部202のトランジスタのエミッタ電極と接触し、その結果エミッタ電極が導電膜203を介して接地される。このようにして外部から印加される信号電圧をトランジスタを介して検出し、指紋を読み取る。尚、導電膜を蒸着したフィルム203に代えて異方性を有する導電フィルムを用いてもよい。この異方性導電フィルムはその膜厚方向にのみ導電性を有す

る機能材料である。

【0003】

【発明が解決しようとする課題】上述した従来の面圧力分布検出回路に用いる半導体装置はシリコンウエハを用いておりエミッタ電極に加えこれをスイッチングするトランジスタ自体とその配線が集積形成されている。しかしながら、これらのトランジスタ及び配線は寄生的な電界を発生しており、導電フィルム203から印加される信号電圧に対してノイズとなっている。この為、従来の半導体装置では十分な検出感度を得ることが困難であり、指紋のような微細なバタンの読み取り精度が悪いという課題があった。即ち、電極以外から発生する寄生電界は検出力低下の原因となる。本発明は電極の配置を工夫することにより寄生電界を低減化することを目的とする。

【0004】

【課題を解決するための手段】本発明にかかる薄膜半導体装置は絶縁基板を用いて組立てられており、その上には互いに接続した電極及び薄膜トランジスタの組を含む素子領域がマトリクス状に集積配列している。各電極は素子領域毎に直上から印加される信号電圧に感応する一方、各薄膜トランジスタは順次オン／オフ制御され対応する電極に印加された信号電圧の検出を行なう。特徴事項として、前記電極を形成した感応部分に対応する薄膜トランジスタ及び配線を形成した非感応部分の上方を被覆するように延設されており、各素子領域内で感応部分の表面が最上方位置になる。一態様では、前記薄膜トランジスタは上から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたトップゲート構造を有する。他の態様では、前記薄膜トランジスタは下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を重ねたボトムゲート構造を有する。

【0005】本発明によれば、絶縁基板上に電極及び薄膜トランジスタがマトリクス状に集積形成されている。この絶縁基板の上に異方性を持った導電性フィルムを重ねると面圧力分布検出回路になる。本発明では、面圧力を検出する部分である電極を、構造上電極以外のスイッチング用トランジスタ及び配線の上に位置させている。これにより、電極以外から発生している基板に垂直方向の寄生電界を低減させ検出力を高める。尚、電極が面圧力を検出する仕組みについて簡単に説明すると、電極が異方性を持った導電性フィルムを介して面圧力を受けると、導電性フィルムの該当部分のみが撓んで電極と導通がとれ、圧力を受けなかった部分は撓まず導通がとれないことを原理としている。このようにして各電極が検出した信号電圧は対応する薄膜トランジスタを点順次でオン／オフすることにより読み取られる。この読み取った信号電圧を解析して指紋のボタン等が認識可能になる。

【0006】

【発明の実施の形態】以下図面を参照して本発明の最良

な実施形態を詳細に説明する。図1は本発明にかかる薄膜半導体装置の第1実施形態を示す模式的な部分断面図である。図示するように、本薄膜半導体装置は石英等からなる絶縁基板1を用いて形成されている。絶縁基板1の上には互いに接続した電極2及び薄膜トランジスタ3の組を含む素子領域がマトリクス状に集積配列している。尚、図では理解を容易にする為1個の素子領域のみが示されている。かかる構成を有する薄膜半導体装置を例えば面圧力分布検出回路に用いる場合には、絶縁基板1の上に異方性を有する導電フィルム4が重ねられる。各電極2は素子領域毎に導電フィルム4を介して直上から印加される信号電圧に感応する。各薄膜トランジスタ3は順次オン/オフ制御され、対応する電極2に印加された信号電圧の検出を行なう。特徴事項として、電極2を形成した感応部分SRが対応する薄膜トランジスタ3及び信号配線9やゲート配線を形成した非感応部分NSRの上方を被覆するように延設されており、各素子領域内で感応部分SRの表面が最上方位位置になる。換言すると、非感応部分NSRに含まれる薄膜トランジスタ3や信号配線9及びゲート配線を電極2が全面的に遮蔽している構造となっている。かかる構成により、導電フィルム4を介して印加される信号電圧を検出する際、信号配線9及びゲート配線から垂直方向に発生する寄生電界（矢印で示す）の悪影響を防いでいる。つまり、導電フィルム4側から見て絶縁基板1の表面は基本的に電極2のみとなり、検出力が高くなる。

【0007】引続き図1を参照して本薄膜半導体装置の構造を詳細に説明する。薄膜トランジスタ3はトップゲート構造を有し、上から順にゲート電極6、ゲート絶縁膜5及び半導体薄膜7を積層したものである。具体的には、石英ガラス等からなる絶縁基板1の上に多結晶シリコン等からなる半導体薄膜7がアイランド状にバタニングされている。その上にはゲート絶縁膜5を介してゲート電極6がバタニング形成されている。尚、図示しないがこのゲート電極6からゲート配線が延設されている。又、ゲート電極6の両側にはソース領域D及びドレイン領域Sが半導体薄膜7に形成されている。ゲート電極6及び半導体薄膜7は第一層間絶縁膜8により被覆されている。その上には金属膜からなる信号配線9がバタニング形成されており、コンタクトホールを介して薄膜トランジスタ3のソース領域Sに電気接続している。この信号配線9は第二層間絶縁膜10により被覆されている。第二層間絶縁膜10の上には電極2がバタニング形成されている。この電極2は第二層間絶縁膜10及び第一層間絶縁膜8に開口したコンタクトホールを介して薄膜トランジスタ3のドレイン領域Dに電気接続している。図から明らかなように、この電極2は非感応部分NSRに含まれる薄膜トランジスタ3、信号配線9及びゲート配線を導電フィルム4から遮蔽するように形成されている。尚、電極2は例えばITO等からなる透明導電膜を

バタニングしたものである。面圧力分布検出回路に応用する場合、本薄膜半導体装置は必ずしも透明である必要はなく、従って電極2もITO等の透明導電膜で形成する必然性はない。但し、ITOは化学的な安定性及び機械的な強度が実用的に十分なレベルであり、電極材料として優れているので本実施形態ではこれを使っている。但し、本発明はITOに限られるものでなく、例えばアルミニウム等を電極2に用いることは勿論可能である。

【0008】引続き、図1を参照して本薄膜半導体装置の製造方法を簡単に説明する。まず、耐熱性を有する石英ガラス等からなる絶縁基板1の上に非晶質シリコンをCVD等により成膜する。続いて1000℃以上の処理温度で固相成長を行ない非晶質シリコンを多結晶シリコンに転換する。このようにして高性能化された半導体薄膜7をアイランド状にバタニングする。この上にゲート絶縁膜5を形成する。具体的には、半導体薄膜7を1000℃以上の高温で熱処理し、熱酸化膜を形成してこれをゲート絶縁膜5とする。更に、ゲート絶縁膜5の上に低抵抗化した多結晶シリコン等からなるゲート電極6を形成する。このゲート電極6をマスクとしてイオンインプランテーション等により不純物イオンを高濃度で半導体薄膜7に注入し、ドレイン領域D及びソース領域Sを形成する。続いてPSG等からなる第一層間絶縁膜8をCVD等より堆積する。この第一層間絶縁膜8にエッチング等でコンタクトホールを開口した後、その上に金属アルミニウム等をスパッタリングで堆積する。この金属アルミニウムを所定の形状にバタニングして信号配線9に加工する。この信号配線9はコンタクトホールを介して薄膜トランジスタ3のソース領域Sと電気接続する。更に信号配線9を被覆するようにPSG等からなる第二層間絶縁膜10を堆積する。この第二層間絶縁膜10及び第一層間絶縁膜8を貫通してコンタクトホールを開口した後、スパッタリング等によりITOを堆積する。このITOを所定の形状にバタニングして電極2に加工する。電極2は第二層間絶縁膜10及び第一層間絶縁膜8に開口したコンタクトホールを介して薄膜トランジスタ3のドレイン領域Dと電気接続する。尚、前後したがゲート電極6のバタニング加工と同時にゲート配線の加工も行なう。

【0009】図2は、図1に示した第1実施形態の模式的な平面図である。図示するように、電極2及び薄膜トランジスタ3の組を含む素子領域がマトリクス状に集積配列している。個々の薄膜トランジスタ3はゲート電極6とソース領域Sとドレイン領域Dを有している。各薄膜トランジスタ3のゲート電極6から延設したゲート配線6aは行状に配列している。一方、各薄膜トランジスタ3のソース領域Sに接続した信号配線9は列状に配列している。従って、ゲート配線6aと信号配線9は互いに交差しており、交差部分に各薄膜トランジスタ3が配置している。各薄膜トランジスタ3に対応する電極2は

ドレイン領域Dに電気接続している。図から明らかなように、電極2は薄膜トランジスタ3、信号配線9、ゲート配線6aを含む全ての非感応部分を被覆しており、本薄膜半導体装置を面圧力分布検出回路に応用した場合その検出力を高めている。

【0010】図3は薄膜半導体装置の参考例を示す模式的な部分断面図である。図1に示した第1実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。この参考例は電極2が形成された感応部分SRと、薄膜トランジスタ3、信号配線9及びゲート電極6を含むゲート配線が形成された非感応部分NSRから平面的に分かれている。即ち、電極2はゲート電極6や信号配線9を被覆していない。この為、ゲート電極6及びこれから延設したゲート配線や信号配線9等から発生する寄生電界が矢印で示すように直接導電フィルム4に影響を及ぼす。この結果、信号電圧の検出の妨げとなっている。尚、この参考例では感応部分SRの表面位置H1が非感応部分NSRの表面位置H2に比べ ΔH だけ下側に下がっている。従って、導電フィルム4は非感応部分NSRに近接しており、ゲート電極6や信号配線9から発生する寄生電界に強い影響を受ける。

【0011】図4は、図3に示した参考例の模式的な平面図である。尚、図2に示した第1実施形態の平面図と対応する部分には対応する参照番号を付して理解を容易にしている。図から明らかなように、電極2は薄膜トランジスタ3のドレイン領域Dに電気接続するのみで、何ら信号配線9及びゲート配線6aを被覆していない。

【0012】図5は本発明にかかる薄膜半導体装置の第2実施形態を示す模式的な部分断面図である。図1に示した第1実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。構造的に見ると、図1に示した第1実施形態がトップゲート構造の薄膜トランジスタを採用しているのに対し、この第2実施形態ではボトムゲート構造の薄膜トランジスタを採用している。即ち、薄膜トランジスタ3は下から順にゲート電極6、ゲート絶縁膜5及び半導体薄膜7を重ねた構成となっている。かかるボトムゲート構造の薄膜トランジスタは700℃以下の低温プロセスで作成可能であり、これに応じて耐熱性ガラス等比較的低コストの絶縁基板1を用いることができる。

【0013】引き続き図5を参照して本薄膜半導体装置の製造方法を説明する。まず、ガラス等からなる絶縁基板1の上にAl、Mo、Ta、Ti、Cr等の金属膜を成膜し、所定の形状にパタニングしてゲート電極6に加工する。この時同時に、ゲート配線もパタニング加工する。次いで、ゲート電極6を被覆するようにゲート絶縁膜5を成膜する。例えばプラズマCVD等の手段でSiO₂又はSiN_xを50～100nmの厚みで堆積する。続いて薄膜トランジスタ3の活性層となる非単結晶シリコンを約20～100nmの膜厚でプラズマCVD法又は

LPCVD法により成膜する。この非単結晶シリコンをレーザアニールで結晶化させ、多結晶シリコンに転換する。このようにして、高性能化された半導体薄膜7が得られる。尚、レーザアニールはエキシマレーザパルス等を非単結晶シリコンに照射して一旦溶融し冷却過程で結晶化を図るものである。次に、SiO₂をプラズマCVD法等で100～400nmの厚みに成膜にする。このSiO₂の上にフォトリソを塗布した後、ゲート電極6をマスクとして透明な絶縁基板1の裏面から露光処理を行ない、フォトリソをゲート電極6と同じパターンに加工する。このパターン化されたフォトリソをマスクとしてSiO₂をエッチングし、ゲート電極6と略整合したストッパ12に加工する。次いでイオンドーピング装置により不純物イオンを電界加速で照射し、半導体薄膜7中にソース領域S及びドレイン領域Dを形成する。不純物イオンとして例えば燐をドーピングすればNチャネル型の薄膜トランジスタ3が得られる。この後再びレーザアニールを行ない不純物を活性化させる。この後半導体薄膜7をアイランド状にパタニングして個々の薄膜トランジスタ3を互いに分離する。続いて、二酸化シリコンを約200～600nmの厚みで堆積し第一層間絶縁膜8とする。この成膜方法はプラズマCVD法でもよいし、常圧CVD法(APCVD)、減圧CVD法(LPCVD)の何れでもよい。この後第一層間絶縁膜8にエッチングでコンタクトホールを開く。Mo、Al等をスパッタリングにより成膜し所定の形状に加工して信号配線9とする。この信号配線9はコンタクトホールを介してソース領域Sに接続している。この信号配線9を被覆するように第二層間絶縁膜10を堆積する。更にこの上にITO等の透明導電膜をスパッタリング等で成膜し所定の形状にパタニングして電極2に加工する。この際、電極2は薄膜トランジスタ3や信号配線9を含む非感応部分を完全に被覆するようにパタニングされる。電極2は他のコンタクトホールを介して薄膜トランジスタ3のドレイン領域Dに接続している。

【0014】最後に図6を参照して、本発明にかかる薄膜半導体装置を用いた面圧力分布検出回路を説明する。図示するように、本回路は行状に配列した複数のゲート配線6aと列状に配列した複数の信号配線9とを備えている。両配線6a、9の各交差部には電極2及び薄膜トランジスタ3が形成されている。薄膜トランジスタ3のソース領域は対応する信号配線9に接続され、ドレイン領域は対応する電極2に接続され、ゲート電極は対応するゲート配線6aに接続されている。尚、図示しないが行列配置した電極2の表面は異方性を有する導電フィルムで覆われている。複数のゲート配線6aには外付けもしくは内蔵の垂直走査回路101が接続されており、選択パルス ϕ_{v1} 、 ϕ_{v2} 、…、 ϕ_{vn} を出力して各ゲート配線6aを垂直走査し、一水平期間毎に1行分の薄膜トランジスタ3をオンして、対応する1行分の電極2を選択す

る。更に、外付けもしくは内蔵の水平走査回路102が各信号配線9に接続している。この水平走査回路102は一水平期間内で各信号配線9を順次走査し、オン状態にあるトランジスタ3を介して電極2から信号電圧を読み取る。この信号電圧は導電フィルムを介して各電極2に印加されたものである。具体的には、各信号配線9はスイッチ103を介して信号ライン104に接続されており、読み取られた信号電圧は逐次外部の検出回路105に供給される。この検出回路105は読み取られた信号電圧を解析して指紋のパターン等を認識する。水平走査回路102は順次サンプリングパルス ϕ_{n1} , ϕ_{n2} , ϕ_{n3} , ..., ϕ_{nn} を出力し各スイッチ103を順次開閉駆動して対応する信号配線9から信号電圧をサンプリングする。

【0015】

【発明の効果】以上説明したように、本発明によれば、電極を形成した感応部分が対応する薄膜トランジスタ及び配線を形成した非感応部分の上方を被覆するように延設されており、各素子領域内で感応部分の表面が最上方位置にある。この為、検出用に用いる導電性フィルムに*

* 対して薄膜トランジスタや配線から発生する寄生電界を遮蔽することが可能となり、検出力が高くなる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜半導体装置の第1実施形態を示す部分断面図である。

【図2】第1実施形態の平面図である。

【図3】薄膜半導体装置の参考例を示す部分断面図である。

【図4】同じく参考例を示す平面図である。

【図5】本発明にかかる薄膜半導体装置の第2実施形態を示す部分断面図である。

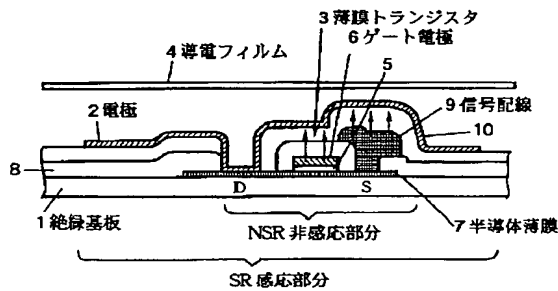
【図6】本発明にかかる薄膜半導体装置を用いた面圧力分布検出回路の一例を示す模式図である。

【図7】従来の面圧力分布検出回路の一例を示す模式図である。

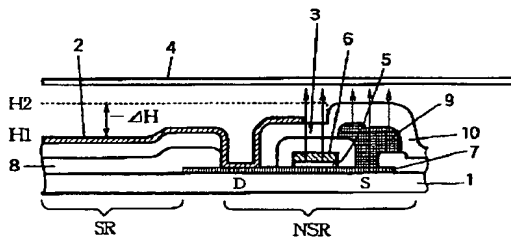
【符号の説明】

1…絶縁基板、2…電極、3…薄膜トランジスタ、4…異方性導電フィルム、6…ゲート電極、7…半導体薄膜、9…信号配線

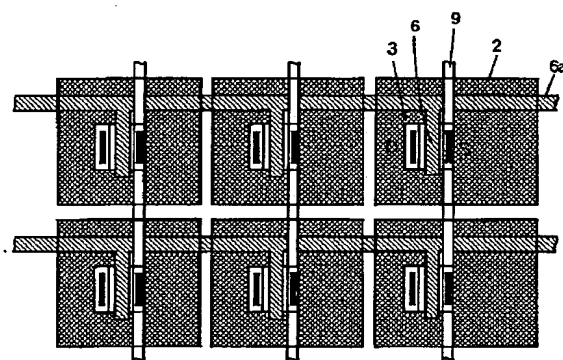
【図1】



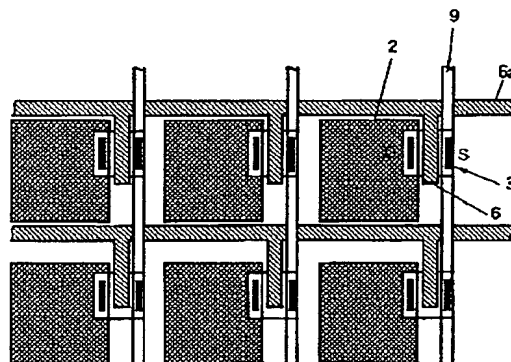
【図3】



【図2】



【図4】



A detailed cross-sectional diagram of a multi-layered structure, likely a semiconductor device or a specialized electronic component. The structure consists of several horizontal layers. The bottom-most layer is labeled 1. Above it is a layer labeled 5, which contains two distinct regions labeled D and S. Layer 5 is topped by a thin layer labeled 8. Above layer 8 is a thick, textured layer labeled 10. Within this textured layer, there is a central rectangular block labeled 9. To the left of block 9, there is a smaller, shaded rectangular block labeled 6. Above the textured layer 10, there are several curved, wave-like structures. On the left, a structure labeled 2 is shown. In the center, a structure labeled 3 is positioned above a shaded rectangular block labeled 12. To the right of block 12, another curved structure labeled 9 is shown. The entire structure is supported by a base layer labeled 7.

A cross-sectional view of a semiconductor device 200. The device consists of a substrate 201 with a thin layer 202 on top. A patterned layer 203 is formed on top of layer 202, and a layer 204 is formed on top of layer 203. A large, rounded structure 205 is shown on the right side of the device, connected to the patterned layer 203.